

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-254994

(43) 公開日 平成4年(1992)9月10日

(51) Int.Cl.⁵
G11C 16/06

識別記号

庁内整理番号

F I

技術表示箇所

9191-5L

G11C 17/00

309 A

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平3-15498

(22) 出願日 平成3年(1991)2月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 寧夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72) 発明者 岩田 佳久

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(74) 代理人 弁理士 鈴江 武彦

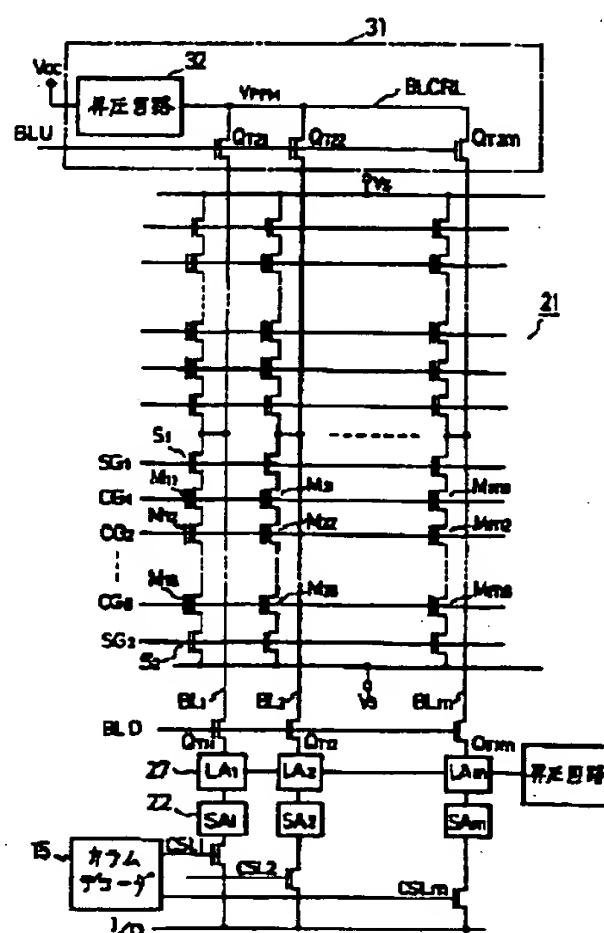
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 高速のデータ書き込みを可能としたNANDセル型EEPROMを提供することを目的とする。

【構成】 データ書き込み時にあらかじめ複数のビット線を中間電位に充電するビット線充電手段31を備え、予備充電されたビット線を書込むべきデータに応じて選択的に放電することにより、データ書き込みの高速化を図った。



【特許請求の範囲】

【請求項1】 半導体基板上に電荷蓄積層と制御ゲートが積層された電氣的書き換え可能なメモリセルが複数個直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイと、前記メモリセルアレイのワード線を選択する行選択手段と、前記メモリセルアレイのビット線を選択する列選択手段と、前記メモリセルアレイのビット線が第1のトランスファゲートを介して接続されてデータ書き込み時にデータに応じて選択的にビット線を放電する機能を持つデータラッチ手段と、前記メモリセルアレイのビット線が第2のトランスファゲートを介して接続されてデータ書き込み時にあらかじめ複数のビット線を中間電位に充電するビット線充電手段と、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記ビット線充電手段は、前記メモリセルアレイへのデータ書き込み開始前のデータ・ロード中にビット線を中間電位に充電するものであることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【発明の詳細な説明】 【発明の目的】

【0001】

【産業上の利用分野】 本発明は、電荷蓄積層と制御ゲートを有する電氣的書き換え可能なメモリセルを用いた不揮発性半導体記憶装置（EEPROM）に係り、特にNANDセル構成のメモリセルアレイを有するEEPROMに関する。

【0002】

【従来の技術】 EEPROMの中で高集積化可能なものとして、メモリセルを複数個直列接続したNANDセル型のEEPROMが知られている。一つのメモリセルは半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層されたFETMOS構造を有し、複数のメモリセルが隣接するもの同士でそのソース、ドレインを共用する形で直列接続されてNANDセルを構成する。NANDセルの一端側ドレインは選択ゲートを介してビット線に接続され、他端側ソースはやはり選択ゲートを介して共通ソース線に接続される。このようなメモリセルが複数個マトリクス配列されてEEPROMが構成される。メモリセルの制御ゲートは行方向に連続的に配設されてワード線となる。

【0003】 このNANDセル型EEPROMの動作は次の通りである。データ書き込みは、ビット線から遠い方のメモリセルから順に行う。nチャネルの場合を説明すると、選択されたメモリセルの制御ゲートには昇圧された書き込み電位 V_{pp} （ $=20V$ 程度）を印加し、これよりビット線側にある非選択メモリセルの制御ゲートおよび選択ゲートには中間電位 V_{ppM} （ $=10V$ 程度）を印加し、ビット線にはデータに応じて $0V$ （例えば“1”）または中間電位（例えば“0”）を印加する。このときビット線の電位は非選択メモリセルを転送されて選択メモリセルのドレインまで伝わる。データ“1”

のときは、選択メモリセルの浮遊ゲートとドレイン間に高電界がかかり、ドレインから浮遊ゲートに電子がトンネル注入されてしきい値が正方向に移動する。データ“0”のときはしきい値変化はない。

【0004】 データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。すなわち全ての制御ゲート、選択ゲートを $0V$ とし、p型ウェルおよびn型基板に昇圧された消去電位 V_{ppE} （ $=20V$ ）を印加する。これにより全てのメモリセルにおいて浮遊ゲートの電子がウェルに放出され、しきい値が負方向に移動する。

【0005】 データ読出しは、選択されたメモリセルの制御ゲートを $0V$ とし、それ以外のメモリセルの制御ゲートおよび選択ゲートを電源電位 V_{cc} （ $=5V$ ）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0006】 この様な従来のNANDセル型EEPROMにおいては、ビット線の中間電位への昇圧に時間がかかり、従ってデータ書き込みに時間がかかるという問題があった。これを具体的に図6および図7を用いて説明する。図6は、従来のNANDセル型EEPROMのビット線制御回路部の構成であり、図7はその制御タイミング図である。図7に示すように、時刻 t_1 から例えばページモードによるデータ・ロードが行われ、時刻 t_2 になってメモリセルが書き込み状態になる。すなわち時刻 t_2 になってから、ビット線 BL とセンスアンプ SA_i 、データラッチ回路 LA_i を接続するトランスファゲート QT_1, QT_2, \dots, QT_m に制御信号 BLD （例えば $10V$ ）が入力される。この制御信号 BLD の立ち上がり時間 TR はおよそ $5\mu sec$ である。制御信号 BLD の立ち上がりと同時に、ラッチ回路 LA_i 部を通して昇圧回路からの中間電位 V_{ppM} （例えば $10V$ ）が必要なビット線に供給される。図7においては、ビット線 BL_1 は $0V$ のままであり、ビット線 BL_2 が V_{ppM} に立ち上がる例を示している。このときビット線の立ち上がり要する時間は、およそ $t_{BLR} = 20\mu sec$ である。またこの書き込み時、選択された制御ゲート CG_1 には昇圧電位 V_{pp} が、非選択の制御ゲート CG_2 には中間電位 V_{ppM} が与えられる。図7に示すように、データ書き込みに要する正味の時間はおよそ $t_{WN} = 40\mu sec$ であるが、その前のビット線充電の時間を考慮に入れると、書き込み時間 t_W は、

$$t_W = t_{BLR} + t_{WN} = 60 [\mu sec]$$

となる。

【0007】 以上の書き込み動作に用いられる中間電位 V_{ppM} は、単一 $5V$ 電源動作においてはチップ内部の昇圧回路で作られる。しかし一般に内部昇圧回路は電流供給能力が弱く、従ってビット線の中間電位までの昇圧時間を短縮することは難しい。このため、特に高集積化したEEPROMでは、書き込み時間の仕様を満たすことがで

3

きなくなるおそれがある。

【0008】

【発明が解決しようとする課題】 以上のように従来のNANDセル型EEPROMでは、高速のデータ書込みができないという問題があった。本発明は、上記の点に鑑みなされたもので、高速書込みを可能としたNANDセル型EEPROMを提供することを目的とする。

【発明の構成】

【0009】

【課題を解決するための手段】 本発明によるNANDセル型EEPROMは、データ書込み時にあらかじめ複数のビット線を中間電位に充電するビット線充電手段を備え、予備充電されたビット線を書込むべきデータに応じて選択的に放電することにより、データ書込みを行うようにしたことを特徴とする。

【0010】

【作用】 内部昇圧回路の電流供給能力に限りがあることを考えると、その様な昇圧回路を用いて書込み時にビット線を中間電位に充電するよりも、あらかじめ中間電位に充電されたビット線をデータに応じて選択的に放電することの方が、高速動作化が容易である。従って本発明によれば、高速のデータ書込みができるNANDセル型EEPROMを得ることができる。

【0011】

【実施例】 以下、図面を参照しながら実施例を説明する。

【0012】 図1は、本発明の一実施例に係るNANDセル型EEPROMの全体構成を示すブロック図である。21は、NANDセルをマトリクス配列したメモリセルアレイである。メモリセルアレイ21の周囲には、その出力を検出するビット線センスアンプ22、ワード線を選択するロウアドレスバッファ24およびロウデコーダ23、ビット線を選択するカラムアドレスバッファ26およびカラムデコーダ25が配置される。データラッチ回路27は、入出力データを一時記憶するもので、この実施例ではビット線の本数（例えば2048個）の容量を持つ。メモリセルアレイ21から読み出されたデータは、I/Oセンスアンプ28およびデータアウトバッファ29を介してデータ入出力線に取出される。外部からの書込み用データは、データ入出力線からデータインバッファ30を介してデータラッチ回路27に取り込まれるようになっている。メモリセルアレイ21のデータラッチ回路27とは反対側のビット線端部には、データ書込み時にあらかじめビット線を中間電位に予備充電するためのビット線充電回路31が設けられている。

【0013】 図2および図3は、この実施例のNANDセルの具体的な構成を示している。図2の(a)はレイアウト、(b)は等価回路であり、図3の(a)(b)はそれぞれ図2(a)のA-A'、B-B'断面である。

【0014】 この実施例では8個のメモリセルM1～M

4

8によりNANDセルが構成されている。各メモリセルは、p型シリコン基板（またはウェル）11上に熱酸化により形成された薄いゲート絶縁膜13を介して第1層多結晶シリコン膜による浮遊ゲート14（141～148）が形成され、この上に層間絶縁膜15を介して第2層多結晶シリコン膜による制御ゲート16（161～168）が積層形成されている。浮遊ゲート14が電荷蓄積層である。各メモリセルの制御ゲート16は横方向に配列されるNANDセルについて連続的に制御ゲート線CG（CG1～CG8）として配設され、通常これがワード線となる。メモリセルのソース、ドレイン拡散層であるn型層19は隣接するもの同士で共用されて8個のメモリセルM1～M8が直列接続されている。これら8個のメモリトランジスタのドレイン側、ソース側にはそれぞれ選択ゲートS1、S2が設けられている。これら選択ゲートのゲート絶縁膜は通常メモリセル部とは別にそれより厚く形成されて、その上に2層のゲート電極149、169および1410、1610が形成されている。これらの二層のゲート電極は所定間隔でコンタクトして制御ゲート線CGの方向に連続的に配設されて選択ゲート線SG1、SG2となる。素子形成された基板上はCVD絶縁膜17により覆われ、この上にビット線18が配設されている。ビット線18は、一方の選択ゲートS1のドレイン拡散層にコンタクトしている。他方の選択ゲートS2のソース拡散層は通常共通ソース線として複数のNANDセルに共通に配設される。

【0015】 図4は、ビット線制御回路部の構成を具体的に示したものである。メモリセルアレイ21の各ビット線BLi（i=1～m）の一端は、第1のトランスファゲートQT1iを介してデータラッチ回路(LAi)27およびセンスアンプ(SAi)22に接続され、さらにカラムデコーダ15の出力信号CSLiにより制御されるトランジスタを介して入出力線I/Oに接続されている。

【0016】 ビット線BLiの他端は、第2のトランスファゲートQT2iを介して中間電位を発生する昇圧回路32の出力線BLCRLに接続されている。この第2のトランスファゲートQT2iと昇圧回路32を含めて、図1のビット線充電回路31を構成している。

【0017】 図5は、この実施例によるEEPROMの書込み動作を示すタイミング図である。メモリセルへのデータ書込みに先立って、時刻t1から、外部データのラッチ回路27への取り込み、所謂データ・ロードが行われる。このデータ・ロードは例えばページ・モードで行われ、図5では一例としてページ長512ビットの場合を示している。このページモードによるデータ・ロードの途中、例えば、254ビット目で、昇圧回路32によりその出力線BLCRLに対して中間電位VppM（～10V）の充電が開始される。同時に制御線BLUにも中間電位が与えられて、第2のトランスファゲートQT2

5

1 の全てがオン状態になって、全てのビット線BL₁が中間電位V_{ppM}に充電される。この中間電位の充電は、途中まで電源V_{cc}から供給する事が可能である。このビット線の充電は、前述のように電流供給能力に限りのある内部昇圧回路32を用いて行われるため、その時間t_{BLR}は大きい。ページ・データのロードが終了するまでに充電されればよい。たとえば、ページ・サイクル100nsec、ページ長512ビットとすると、データ・ロードの時間は、

$$100 [\text{n sec}] \times 512 = 51.2 [\mu\text{sec}]$$

【0018】である。ビット線を中間電位に立ち上げるに要する時間t_{BLR}は20μsec程度であるから、データ書き込みを開始する時刻t₂までには十分ビット線を充電することができる。このビット線の予備充電と同時に、各制御ゲート線も同様に中間電位に予備充電する。

【0019】この様にして、データ・ロード中に全てのビット線を中間電位に予備充電しておき、時刻t₂でNANDセルへの書き込み状態に入る。すなわちこのタイミングで制御信号BLDを立ち上げて、第1のトランスファゲートQT₁₁をオン状態とし、データラッチ回路27にラッチされているデータをビット線BL₁に転送する。これにより、“0”データ(中間電位)が入るビット線(図5では、BL₂)は中間電位に保持され、“1”データ(0V)が入るビット線(図5では、BL₁)は、接地されて0Vに放電される。また制御信号BLDの立ち上げと同期して選択された制御ゲート線(図5ではCG₁)には昇圧された書き込み電位V_{pp}が与えられる。残りの非選択制御ゲート線(図5ではCG₂)は中間電位V_{ppM}のまま保持される。これにより、放電されて0Vとなったビット線に沿う選択メモリセルで浮遊ゲートに電子注入が行われる。

【0020】この書き込み動作時のビット線の放電は、内部昇圧回路を用いた充電に比べて十分高速に行うことができる。データ書き込みに要する正味の時間t_{WN}が前述のように20μsecであり、制御信号BLDの立上がりにより要する時間t_Rが4μsec程度であるから、結局書き込み時間t_Wは、およそ

$$t_W = t_R + t_{WN} = 45 [\mu\text{sec}]$$

となる。したがって従来方式に比べて、書き込み時間の大

6

幅な短縮が図られる。データ消去および読出しの動作は従来と同様である。

【0021】なお実施例では、データ書き込み時、メモリセルアレイの全てのビット線を中間電位に充電したが、ブロック単位でそのブロック内の全てのビット線を中間電位に充電するという方式を採用することもできる。その他本発明はその趣旨を逸脱しない範囲で種々変形して実施することができる。

【0022】

10 【発明の効果】以上説明したように本発明によれば、データ書き込みに先立ってビット線を中間電位に予備充電しておき、これを選択的に放電させて書き込み動作を行わせることによって、高速書き込みを可能としたNANDセル型EEPROMを提供することができる。

【図面の簡単な説明】

【図1】本発明一実施例に係るEEPROMの全体構成を示すブロック図。

【図2】同実施例のNANDセルを示すレイアウトと等価回路図。

20 【図3】同実施例のNANDセルの断面構造を示す図。

【図4】同実施例のビット線制御回路部の構成を示す図。

【図5】同実施例のデータ書き込み動作を説明するためのタイミング図。

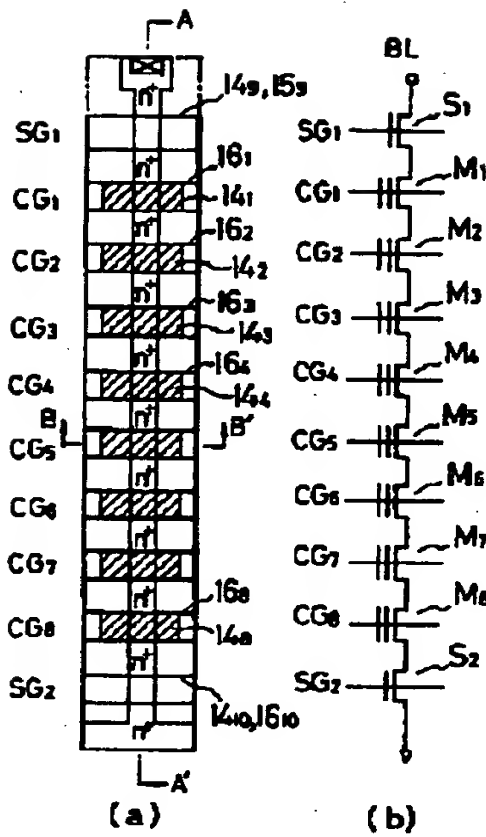
【図6】従来のEEPROMのビット線制御回路部の構成を示す図。

【図7】従来のデータ書き込み動作を説明するためのタイミング図。

【符号の説明】

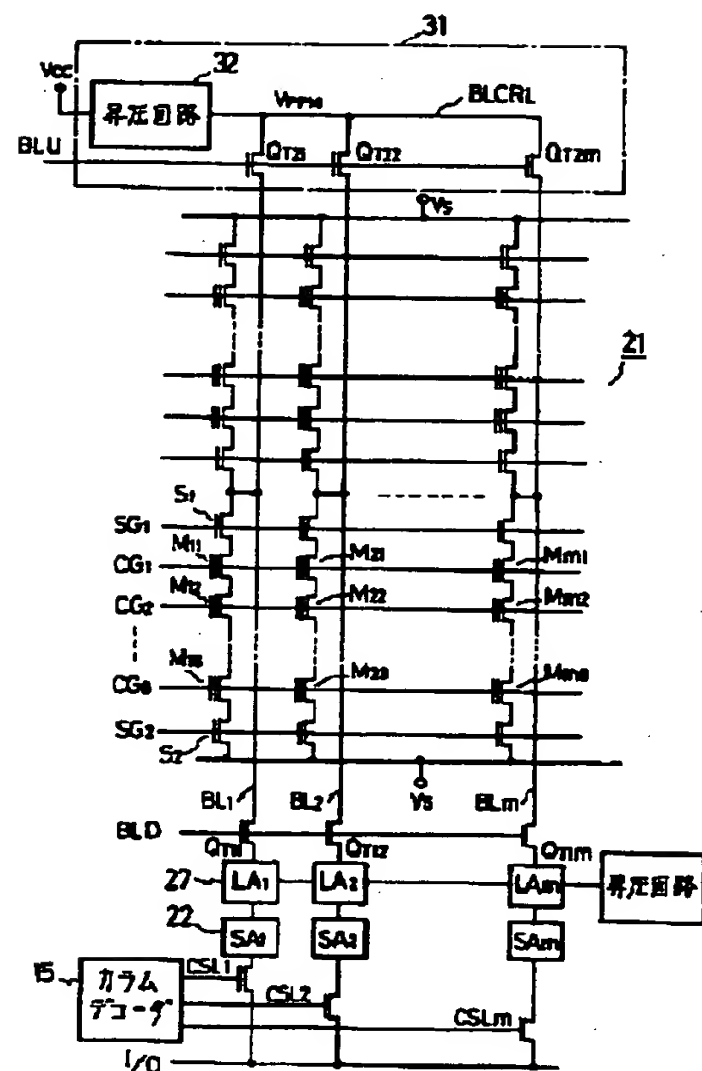
30 21…メモリセルアレイ、22…ビット線センスアンプ、23…ロウデコーダ、24…ロウアドレスバッファ、25…カラムデコーダ、26…カラムアドレスバッファ、27…データラッチ回路、28…1/Oセンスアンプ、29…データアウトバッファ、30…データインバッファ、31…ビット線充電回路、32…昇圧回路、BL₁～BL_m…ビット線、CG₁～CG₈…制御ゲート線(ワード線)、QT₁₁～QT_{1m}…第1のトランスファゲート、QT₂₁～QT_{2m}…第2のトランスファゲート。

【图 2】

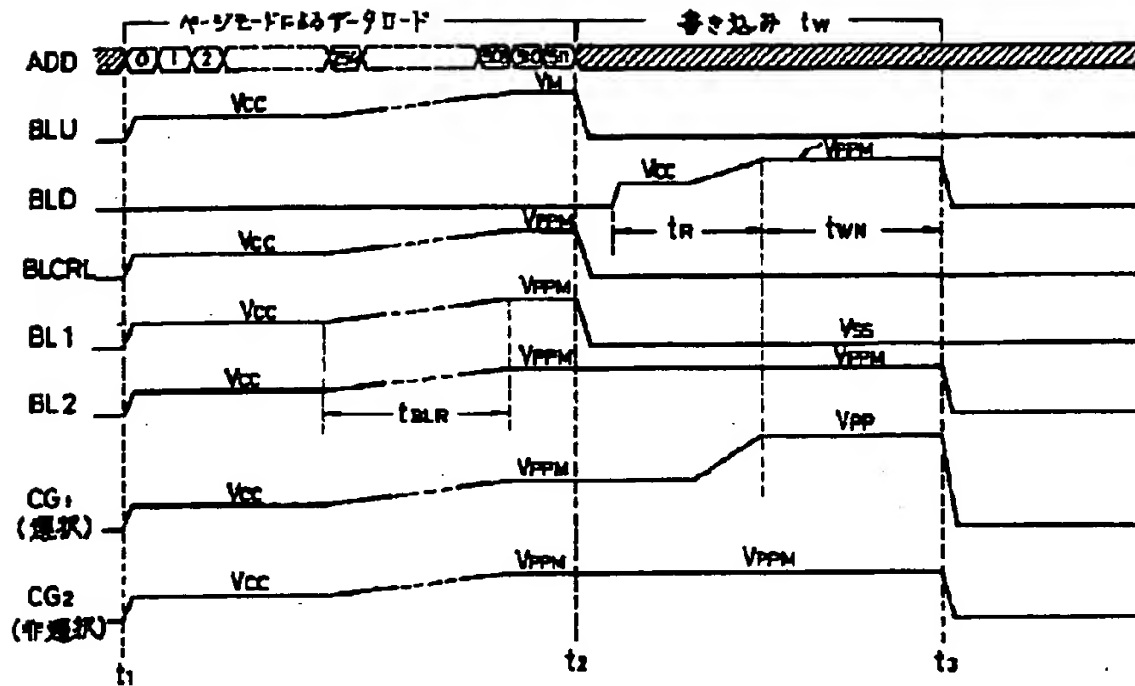


【例4】

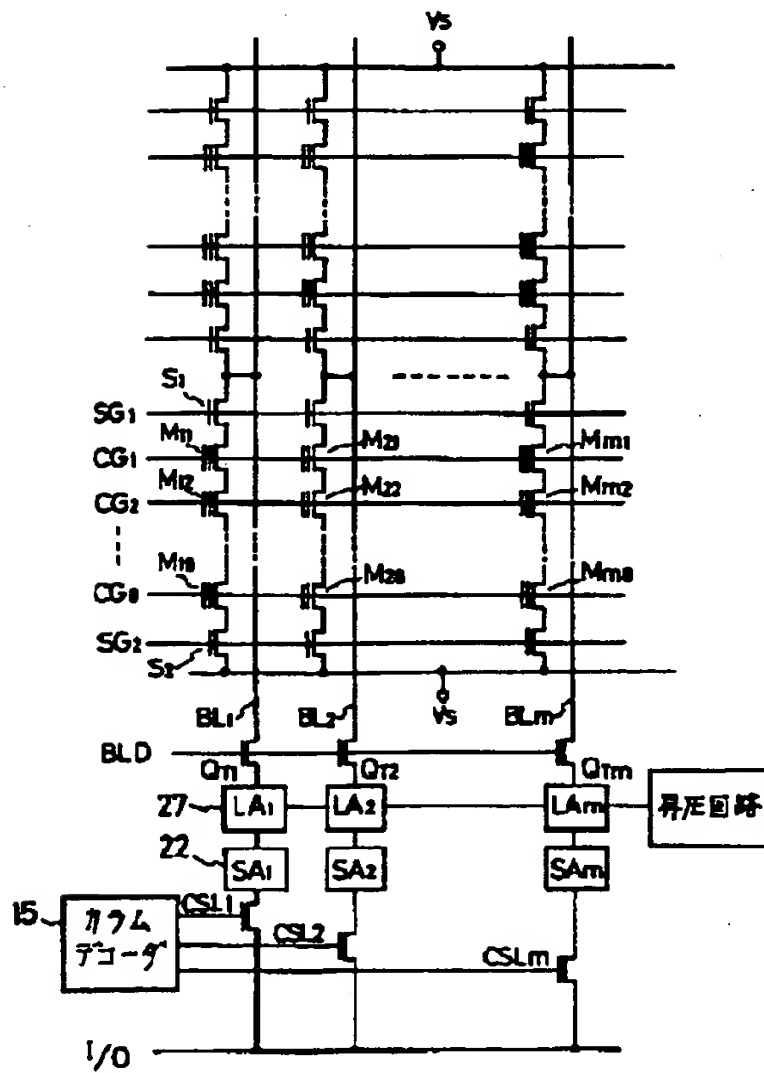
【例4】



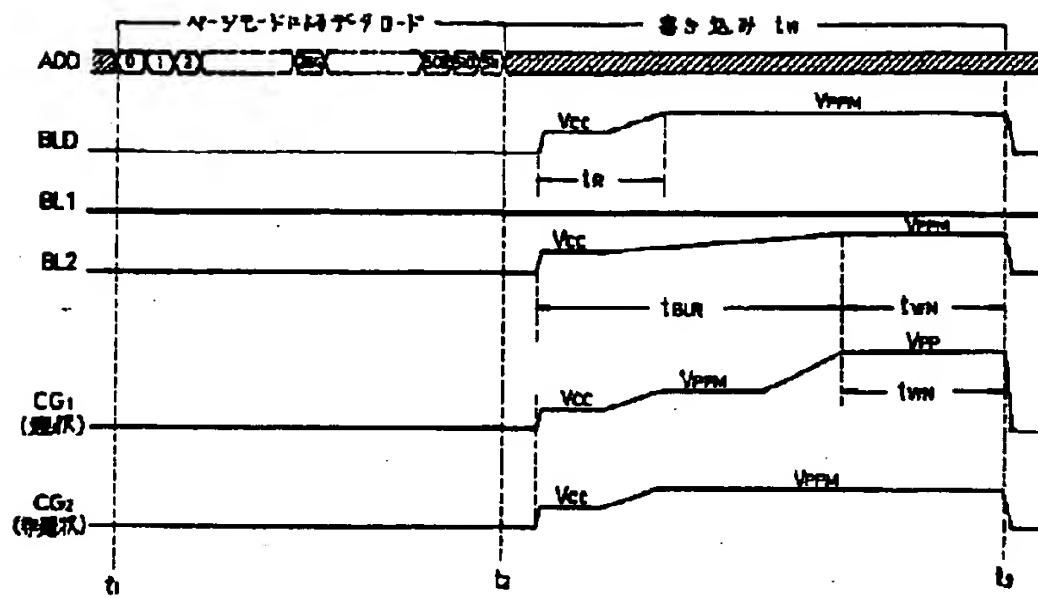
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 作井 康司
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝総合研究所内
 (72)発明者 百富 正樹
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝総合研究所内

(72)発明者 田中 義幸
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝総合研究所内
 (72)発明者 舩岡 富士雄
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝総合研究所内